
(19) KOREAN INTELLECTUAL PROPERTY OFFICE

KOREAN PATENT ABSTRACTS

(11)Publication number: 010061085 A
(43)Date of publication of application: 07.07.2001

(21)Application number: 990063569
(22)Date of filing: 28.12.1999

(71)Applicant: HYNIX SEMICONDUCTOR
INC.
(72)Inventor: CHOI, UNG

(51)Int. Cl H01L 27/108

(54) METHOD FOR FORMING CAPACITOR OF SEMICONDUCTOR DEVICE

(57) Abstract:

PURPOSE: A capacitor forming method for a semiconductor device is provided to ensure capacitance sufficient for high integration of the semiconductor device by increasing the surface area of a capacitor through formation of a pillar in the center of a cylinder.

CONSTITUTION: A lower insulation layer(33) is formed having contact plugs(39) on a semiconductor substrate(31). An oxide film(41) is formed on the lower insulation layer(33) for forming a storage electrode. The oxide film(41) is etched through photoengraving using a storage electrode mask, and over-etched to etch the upper side of the lower insulation layer(33) to form pillars from the contact plugs(39). A barrier metal layer(45) and a lower electrode material layer(47) are formed on the whole surface, and the upper side thereof is flattened using a photosensitive film. The oxide film(41) is exposed through flattening etching. The photosensitive layer is removed, and a dielectric layer(51) and a plate electrode(53) are formed on the whole surface.



COPYRIGHT 2001 KIPO

Legal Status

Date of request for an examination (19991228)
Notification date of refusal decision (20020617)
Final disposal of an application (rejection)
Date of final disposal of an application (20020617)
Patent registration number ()
Date of registration ()
Number of opposition against the grant of a patent ()
Date of opposition against the grant of a patent ()
Number of trial against decision to refuse ()

Date of requesting trial against decision to refuse ()

Date of extinction of right ()

특 2001-0061085

(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.
H01L 27/108

(11) 공개번호 특2001-0061085
(43) 공개일자 2001년07월07일

(21) 출원번호 10-1999-0063569
(22) 출원일자 1999년12월28일
(71) 출원인 주식회사 하이닉스반도체 박종섭
경기 이천시 부발읍 아미리 산136-1
(72) 발명자 최웅
경기도이천시창전동49-3번지
(74) 대리인 이후동, 이정훈

심사청구 : 있음

(54) 반도체소자의 캐패시터 형성방법

요약

본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로,
반도체기판 상부에 콘택플러그가 구비되는 하부절연층을 형성하고 상기 하부절연층 상부에 저장전극 형성용 산화막을 형성한 다음, 상기 산화막을 저장전극 마스크를 이용한 사진식각공정으로 식각하되, 과도식각하여 상기 하부절연층의 상측을 식각함으로써 상기 콘택플러그로 필라가 형성되고 전체표면상부에 장벽금속층 및 하부전극 물질층을 형성한 다음, 그 상부를 감광막으로 평탄화시키고 상기 산화막을 노출시키는 평탄화식각공정을 실시한 다음, 상기 감광막을 제거하고 전체표면상부에 유전체막과 플레이트전극을 형성하는 공정으로 중앙부에 필라가 구비되는 실린더형 캐패시터를 형성함으로써 반도체소자의 고집적화에 충분한 정전용량을 갖는 캐패시터를 형성하는 기술이다.

도면도

도2j

명세서

도면의 간단한 설명

도 1a 내지 도 1j 는 본 발명의 제1실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 단면도.

도 2a 내지 도 2j 는 본 발명의 제2실시예에 반도체소자의 캐패시터 형성방법을 도시한 개략도.

<도면의 주요부분에 대한 부호의 설명>

11,31 : 반도체기판	13,33 : 하부절연층
15,39 : 콘택플러그	17,41 : 저장전극 형성용 산화막
19,43 : 제1감광막	21,45 : 장벽금속층
23,47 : 하부전극 물질층	25,49 : 제2감광막
27,51 : 유전체막	29,53 : 플레이트전극
35 : 식각방지막	37 : 중간절연막

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체소자의 캐패시터 형성방법에 관한 것으로, 특히 삼차원적 구조를 갖는 캐패시터를 형성하여 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있는 기술에 관한 것이다.

반도체소자가 고집적화되어 셀 크기가 감소됨에따라 저장전극의 표면적에 비례하는 정전용량을 충분히 확보하기가 어려워지고 있다.

특히, 단위셀이 하나의 MOS 트랜지스터와 캐패시터로 구성되는 디램 소자는 칩에서 많은 면적을 차지하는 캐패시터의 정전용량을 크게하면서, 면적을 줄이는 것이 디램 소자의 고집적화에 중요한 요인이 된다.

그래서, $(E_0 \times E_r \times A) / T$ (단, 상기 E_0 는 진공유전율, 상기 E_r 은 유전막의 유전율, 상기 A 는 캐패시터의 면적 그리고 상기 T 는 유전막의 두께) 로 표시되는 캐패시터의 정전용량을 증가시키기 위하여, 하부전극인 저장전극의 표면적을 증가시켜 캐패시터를 형성하였다. 그러나, 제조공정이 복잡하고 단차를 증가시켜 반도체소자의 고집적화를 어렵게 하였다.

본 발명 이루고자하는 기술적 과제

본 발명은 상기한 바와같이 종래기술에 따른 문제점을 해결하기 위하여, 콘택플러그 최상부를 금속층을 형성하여 유전체막과의 계면에서 유발될 수 있는 누설전류를 방지할 수 있도록 하는 반도체소자의 캐패시터 형성방법을 제공하는데 그 목적이 있다.

본 발명의 구성 및 작용

이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 캐패시터 형성방법은,
반도체기판 상부에 콘택플러그가 구비되는 하부절연층을 형성하는 공정과,
상기 하부절연층 상부에 저장전극 형성용 산화막을 형성하는 공정과,
상기 산화막을 저장전극 마스크를 이용한 사진식각공정으로 식각하되, 과도식각하여 상기 하부절연층의 상측을 식각함으로써 상기 콘택플러그로 필라가 형성되는 공정과,
전체표면상부에 장벽금속층 및 하부전극 물질층을 형성하고 그 상부를 감광막으로 평탄화시키는 공정과,
상기 산화막을 노출시키는 평탄화식각공정과,
상기 감광막을 제거하고 전체표면상부에 유전체막과 플레이트전극을 형성하는 공정을 포함하는 것을 제1 특징으로한다.

또한, 이상의 목적을 달성하기 위해 본 발명에 따른 반도체소자의 캐패시터 형성방법은,
반도체기판 상부에 하부절연층을 형성하는 공정과,
상기 하부절연층 상부에 식각방지막과 중간절연막을 적층하는 공정과,
상기 중간절연막, 식각방지막 및 하부절연층을 통하여 상기 반도체기판에 접속되는 콘택플러그를 형성하는 공정과,
전체표면상부에 저장전극 형성용 산화막을 형성하는 공정과,
상기 콘택플러그 및 식각방지막을 식각장벽으로 하고 저장전극 마스크를 이용하는 사진식각공정으로 상기 산화막과 중간절연막을 식각함으로써 상기 식각방지막 상부로 돌출된 콘택플러그로 필라를 형성하는 공정과,
전체표면상부에 장벽금속층 및 하부전극 물질층을 형성하고 그 상부를 감광막으로 평탄화시키는 공정과,
상기 산화막을 노출시키는 평탄화식각공정과,
상기 감광막을 제거하고 전체표면상부에 유전체막과 플레이트전극을 형성하는 공정을 포함하는 것을 제2 특징으로한다.

이하, 첨부된 도면을 참고로 하여 본 발명을 상세히 설명하기로 한다.

도 1a 내지 도 1j 는 본 발명의 제1실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 단면도이다.

먼저, 반도체기판(11) 상부에 소자분리막(도시안됨), 워드라인(도시안됨) 및 비트라인(도시안됨)을 형성하고 그 상부를 평탄화시키는 하부절연층(13)을 형성한다.

이때, 상기 하부절연층(13)은 BPSG 와 같이 유동성이 우수한 절연물질로 형성한다.

그 다음, 상기 반도체기판(11)을 노출시키는 저장전극 콘택홀을 형성한다.

이때, 상기 저장전극 콘택홀은 저장전극 콘택마스크를 이용한 사진식각공정으로 상기 하부절연층(13)을 식각하여 형성한다.

그 다음, 상기 콘택홀을 매립하는 콘택플러그(15)를 형성한다. 이때, 상기 콘택플러그(15)는 상기 콘택홀을 매립하는 텅스텐을 전체표면상부에 형성하고 이를 평탄화식각하여 형성한다. (도 1a)

그리고, 전체표면상부에 저장전극 형성용 산화막(17)을 형성한다. (도 1b)

그 다음, 상기 산화막(17) 상부에 제1감광막(19)패턴을 형성한다. (도 1c)

그리고, 상기 제1감광막(19)패턴을 마스크로하여 상기 산화막(17)을 식각하되, 과도식각하여 BPSG 로 형성된 하부절연층(13)의 상측 일부를 식각함으로써 상기 텅스텐 플러그(15)로 형성된 필라 (pillar) 를 형성한다.

그리고, 상기 제1감광막(19)패턴을 제거한다. (도 1d)

그 다음, 전체표면상부에 장벽금속층(21)을 전체표면상부에 형성하고 그 상부에 하부전극물질층(23)을 전체표면상부에 일정두께 형성한다. (도 1e)

그리고, 전체표면상부에 제2감광막(25)을 도포하고 상기 산화막(17)이 노출되도록 평탄화식각한 다음 상기 제2감광막(25)을 제거한다. (도 1f, 도 1g, 도 1h)

그 다음, 전체표면상부에 유전체막(27) 및 플레이트전극(29)을 형성함으로써 중앙부에 필라가 구비되는 실린더형 캐패시터를 형성하여 반도체소자의 고집적화를 가능하게 한다. (도 11, 도 12)

상기한 본 발명의 제1실시예에서, 상기 하부전극 물질층(23)은 Pt, 전도성 산화막과 같이 유전상수가 높은 유전체막을 사용할 수 있는 금속으로 형성한다.

그리고, 상기 유전체막(23)은 유전상수 Er 이 높은 고유전성의 탄탈륨산화막 (Ta_2O_5), BST ($(Ba,Sr)TiO_3$) 막, PZT ($PbZrTiO_3$) 막, SBT ($SrBi_{1/2}Ta_{1/2}O_3$) 막 또는 PLZT ($PbLaZrTiO_3$) 막으로 유전체막으로 형성한다.

도 2a 내지 도 2j 는 본 발명의 제2실시예에 따른 반도체소자의 캐패시터 형성방법을 도시한 단면도이다.

먼저, 반도체기판(31) 상부에 소자분리막(도시안됨), 워드라인(도시안됨) 및 비트라인(도시안됨)을 형성하고 그 상부를 평탄화시키는 하부절연층(13)을 형성한다.

이때, 상기 하부절연층(33)은 BPSG 와 같이 유동성이 우수한 절연물질로 형성한다.

그 다음, 상기 하부절연층(33) 상부에 식각방지막(35)을 형성한다.

그리고, 상기 식각방지막(35) 상부에 용간절연막(37)을 형성한다. 이때, 상기 용간절연막(37)은 상기 하부절연층(33)과 같은 물질로 형성한다. (도 2a)

그 다음, 상기 반도체기판(31)을 노출시키는 저장전극 콘택홀을 형성하고 이를 패딩하는 콘택플러그(39)를 형성한다.

이때, 상기 콘택플러그(39)는 상기 콘택홀을 패딩하는 텅스텐을 전체표면상부에 형성하고 이를 평탄화식각하여 형성한다. (도 2b)

그 다음, 전체표면상부에 저장전극 형성용 산화막(41)을 형성한다. 그리고, 그 상부에 제1감광막(43)패턴을 형성한다.

이때, 상기 제1감광막(43)패턴은 저장전극 마스크를 이용한 노광 및 현상공정으로 저장전극이 형성되지않을 부분에만 형성한 것이다. (도 2c, 도 2d)

그 다음, 상기 제1감광막(43)패턴을 마스크로하여 상기 식각방지막(35)을 노출시키는 식각공정을 실시한다.

이때, 상기 식각공정은 상기 식각방지막(35), 콘택플러그(39), 산화막(41) 및 용간절연막(37) 간의 식각선택비 차이를 이용하여 실시함으로써 상기 식각방지막(35) 상부에 콘택플러그(39) 노출된 형태의 필라 (pillar) 가 형성된다.

그 다음, 상기 제1감광막(43)패턴을 제거한다.

그리고, 전체표면상부에 장벽금속층(45)을 전체표면상부에 형성한다. (도 2e)

그 다음, 상기 장벽금속층(45) 상부에 하부전극 물질층(47)을 전체표면상부에 일정두께 형성한다.

여기서, 상기 하부전극 물질층(47)은 Pt, 전도성 산화막과 같이 유전상수가 높은 유전체막을 사용할 수 있는 금속으로 형성한다. (도 2f)

그 다음, 전체표면상부에 제2감광막(49)을 도포하고 상기 산화막(41)이 노출되도록 평탄화식각한 다음 상기 제2감광막(49)을 제거한다. (도 2g)

그리고, 상기 산화막(41)이 노출되도록 평탄화식각한다. (도 2h)

그 다음, 상기 제2감광막(49)을 제거하고 전체표면상부에 유전체막(51)과 플레이트전극(53)을 형성한다.

여기서, 상기 유전체막(51)은 유전상수 Er 이 높은 고유전성의 탄탈륨산화막 (Ta_2O_5), BST ($(Ba,Sr)TiO_3$) 막, PZT ($PbZrTiO_3$) 막, SBT ($SrBi_{1/2}Ta_{1/2}O_3$) 막 또는 PLZT ($PbLaZrTiO_3$) 막으로 유전체막으로 형성한다.

그리고, 상기 플레이트전극(53)은 상기 하부전극 물질층(47)과 같은 물질로 형성한다. (도 2i, 도 2j)

발명의 효과

이상에서 설명한 바와같이 본 발명에 따른 반도체소자의 캐패시터 형성방법은, 실린더형의 중앙에 필라를 형성하여 표면적이 증가된 캐패시터를 형성함으로써 반도체소자의 고집적화에 충분한 정전용량을 확보할 수 있도록 하는 효과를 제공한다.

(57) 청구의 범위

형구항 1. 반도체기판 상부에 콘택플러그가 구비되는 하부절연층을 형성하는 공정과,

상기 하부절연층 상부에 저장전극 형성용 산화막을 형성하는 공정과,

상기 산화막을 저장전극 마스크를 이용한 사진식각공정으로 식각하되, 과도식각하여 상기 하부절연층의 상층을 식각함으로써 상기 콘택플러그로 필라가 형성되는 공정과,

전체표면상부에 장벽금속층 및 하부전극 물질층을 형성하고 그 상부를 감광막으로 평탄화시키는 공정과,

상기 산화막을 노출시키는 평탄화식각공정과,

상기 감광막을 제거하고 전체표면상부에 유전체막과 플레이트전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 형성방법.

청구항 2. 반도체기판 상부에 하부절연층을 형성하는 공정과,

상기 하부절연층 상부에 식각방지막과 층간절연막을 적층하는 공정과,

상기 층간절연막, 식각방지막 및 하부절연층을 통하여 상기 반도체기판에 접속되는 콘택플러그를 형성하는 공정과,

전체표면상부에 저장전극 형성용 산화막을 형성하는 공정과,

상기 콘택플러그 및 식각방지막을 식각장벽으로 하고 저장전극 마스크를 이용하는 사진식각공정으로 상기 산화막과 층간절연막을 식각함으로써 상기 식각방지막 상부로 돌출된 콘택플러그로 필라를 형성하는 공정과,

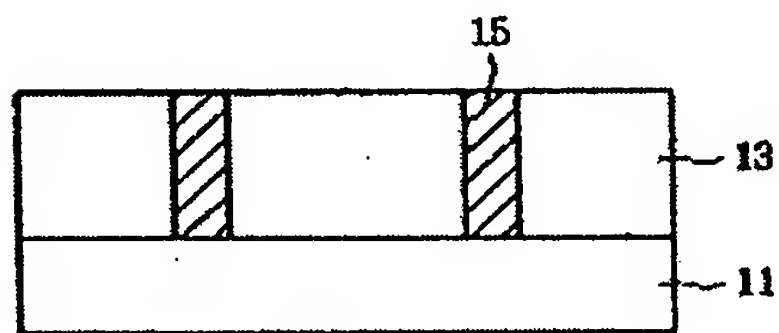
전체표면상부에 장벽금속층 및 하부전극 물질층을 형성하고 그 상부를 감광막으로 평탄화시키는 공정과,

상기 산화막을 노출시키는 평탄화식각공정과,

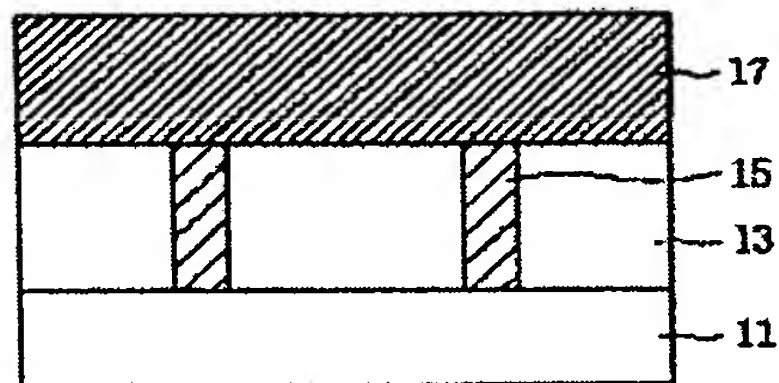
상기 감광막을 제거하고 전체표면상부에 유전체막과 플레이트전극을 형성하는 공정을 포함하는 반도체소자의 캐패시터 형성방법.

도면

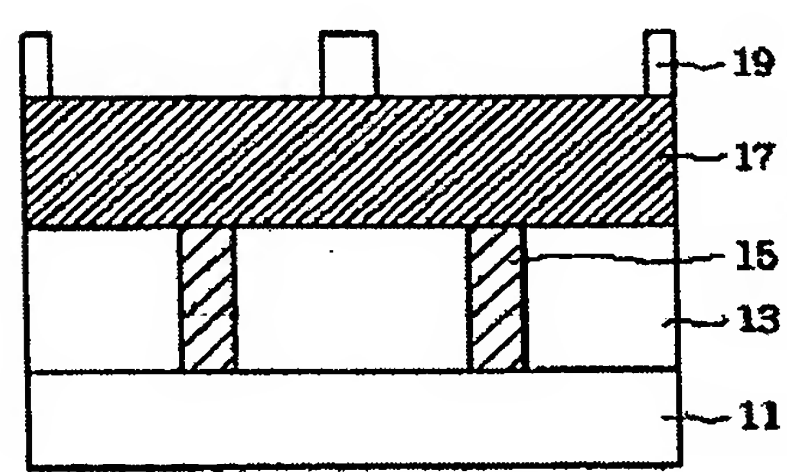
도면 1a



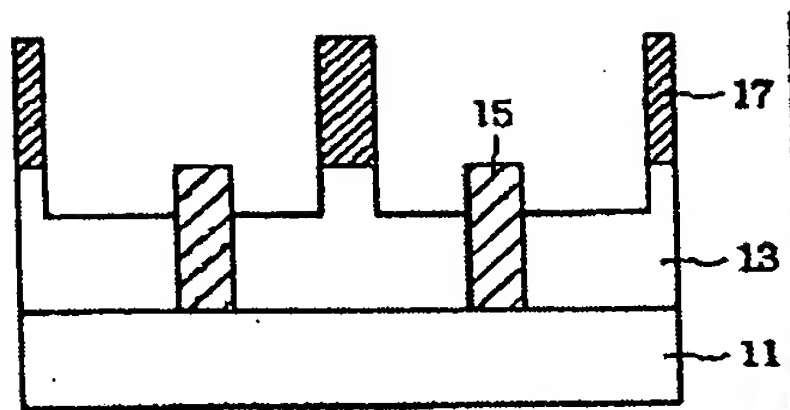
도면 1b



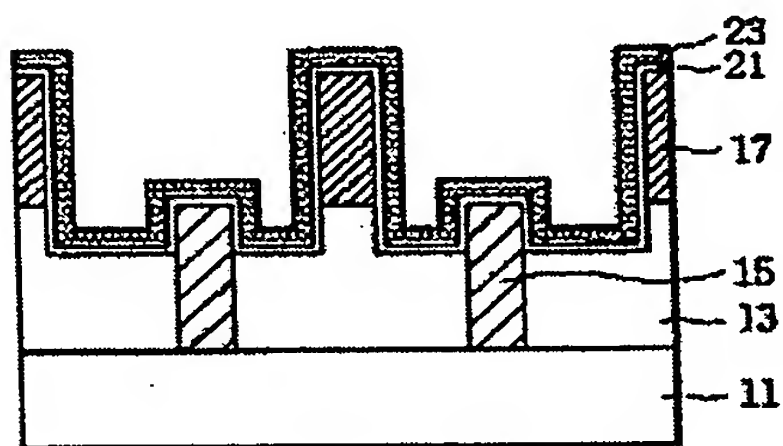
도면 1c



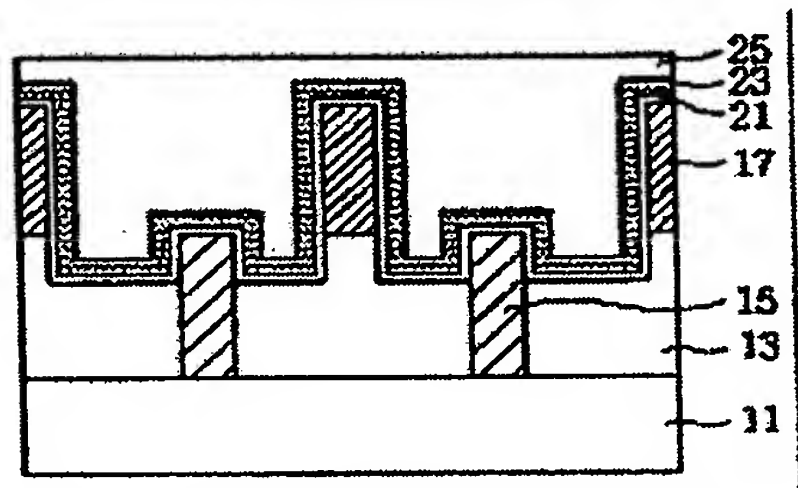
도면 1d



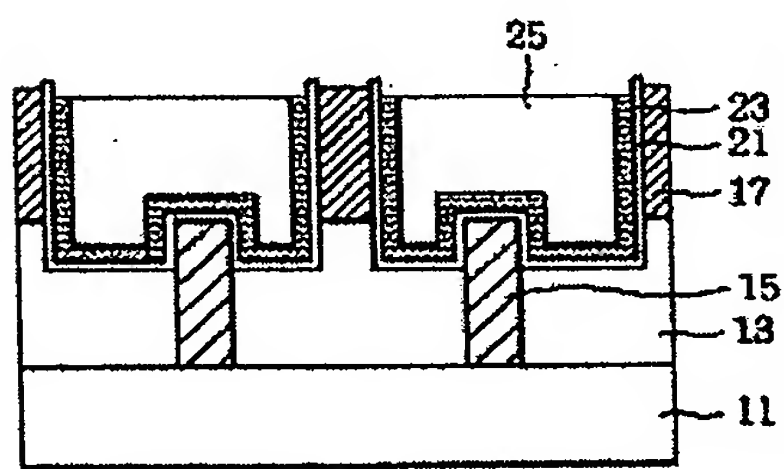
도면 1e



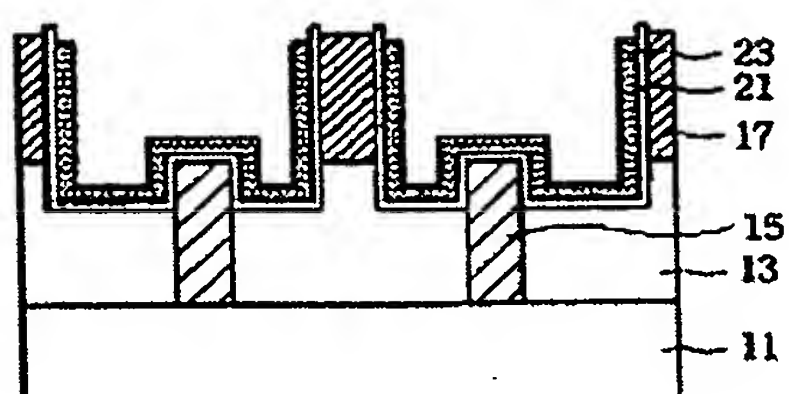
도면 1f



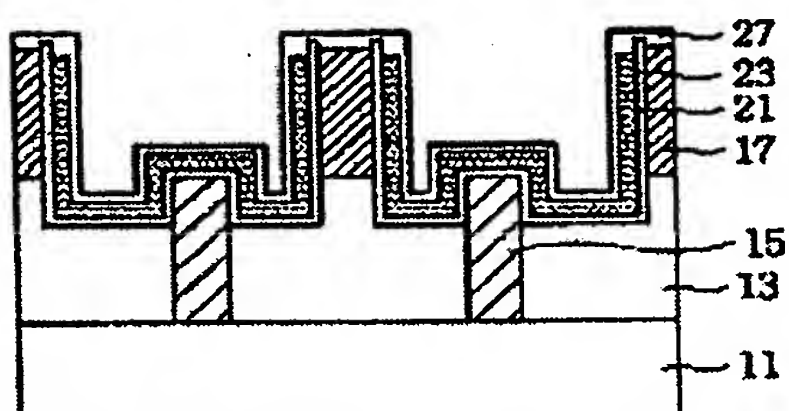
도면 1g



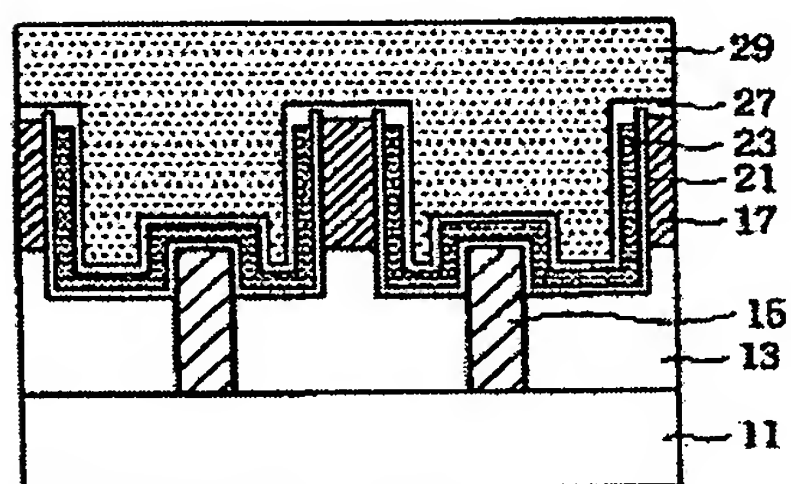
도면a



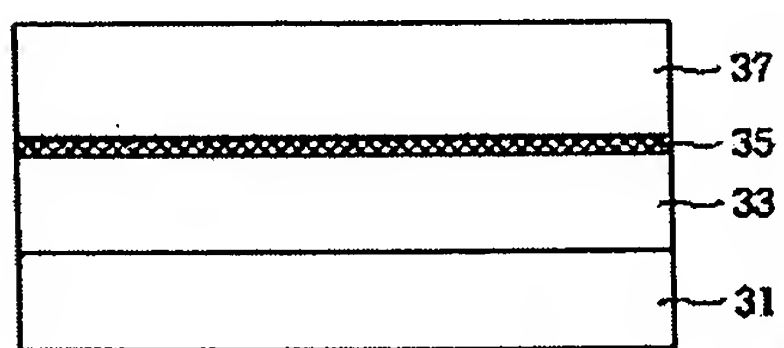
도면b



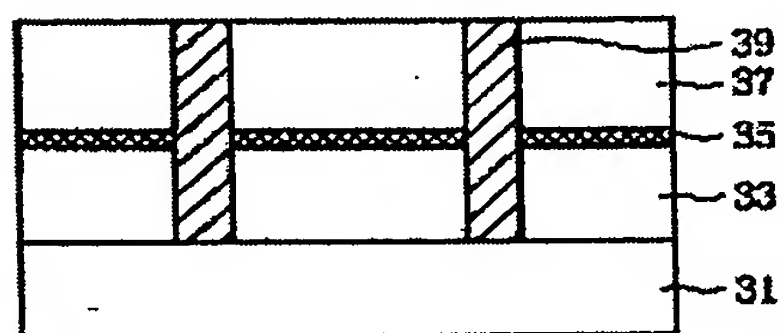
도면c



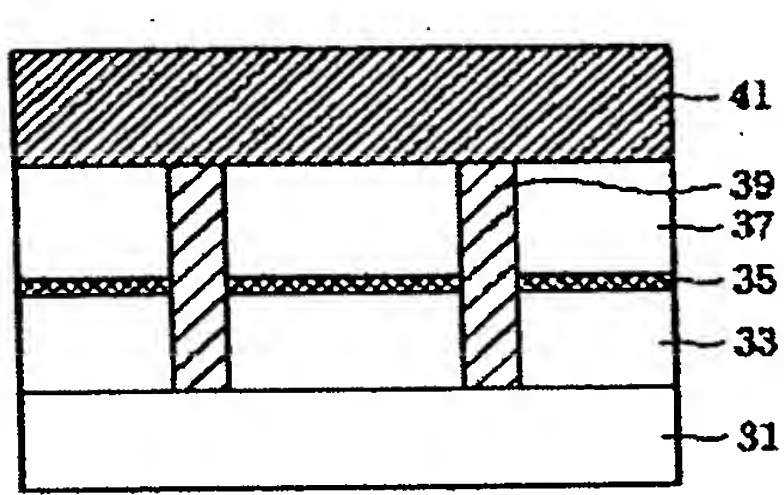
도면d



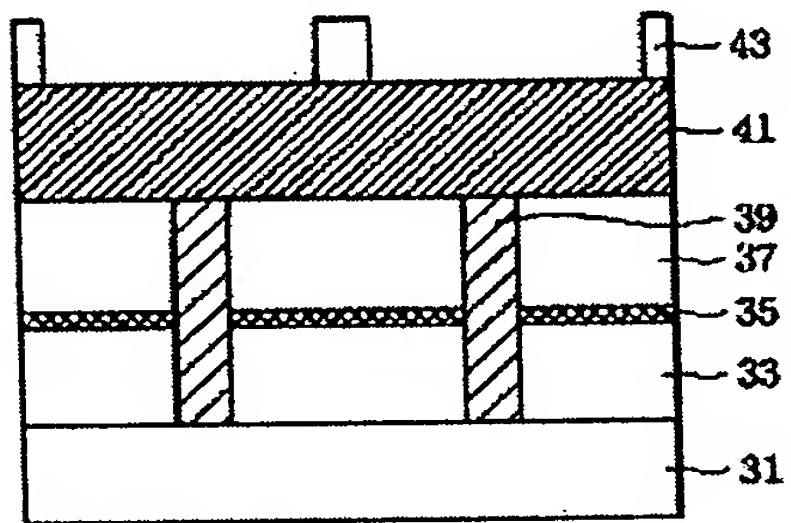
도면e



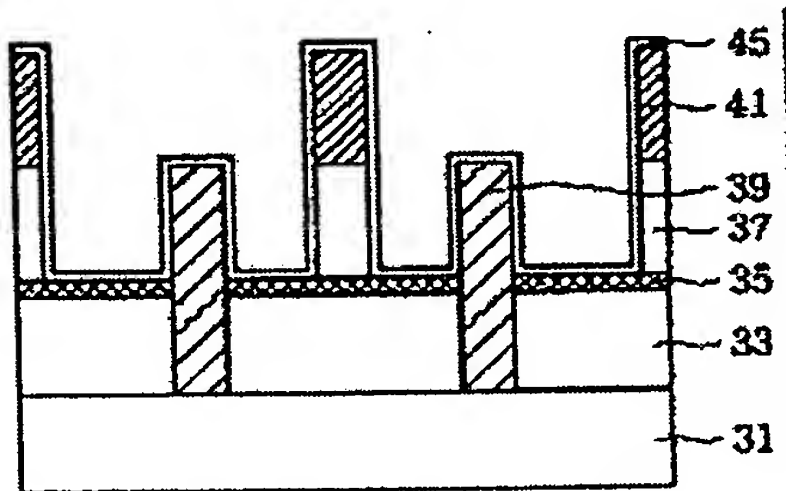
도면 2



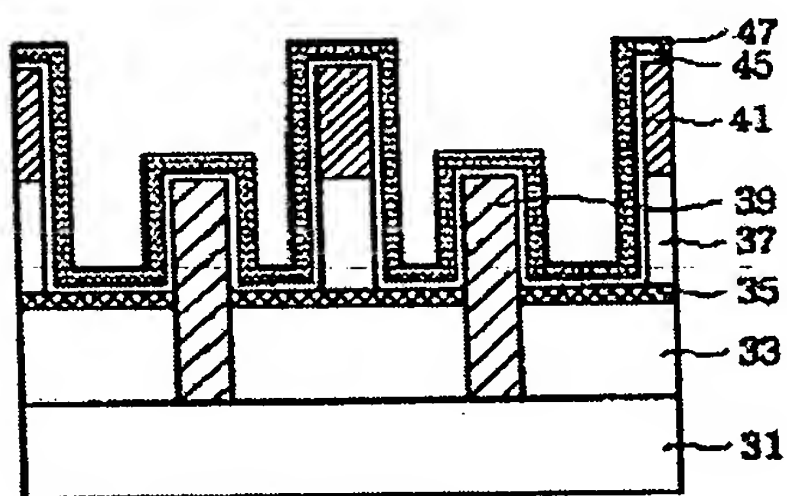
도면 3



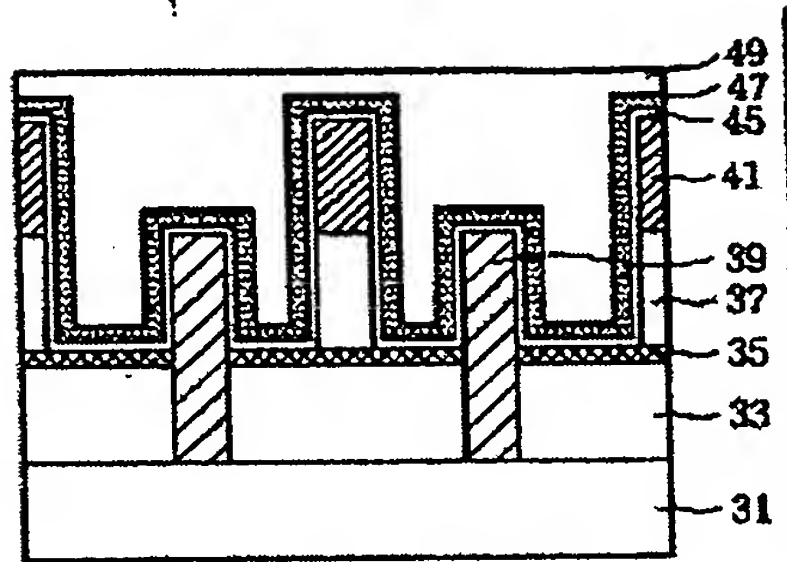
도면 4



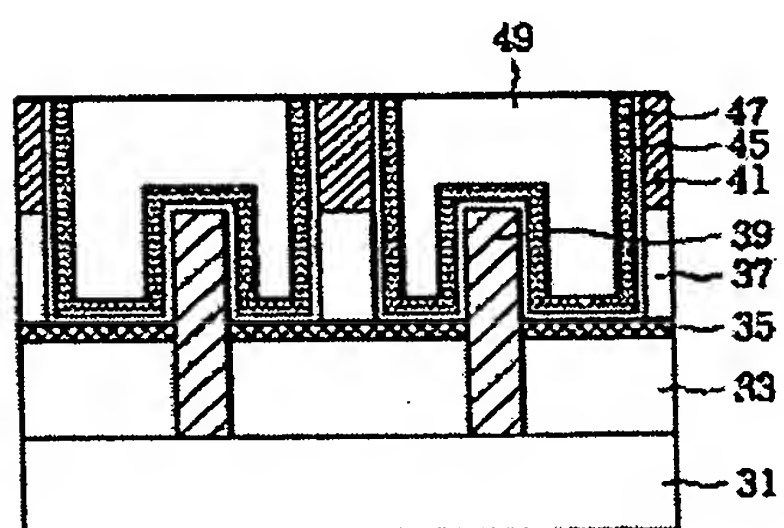
도면 5



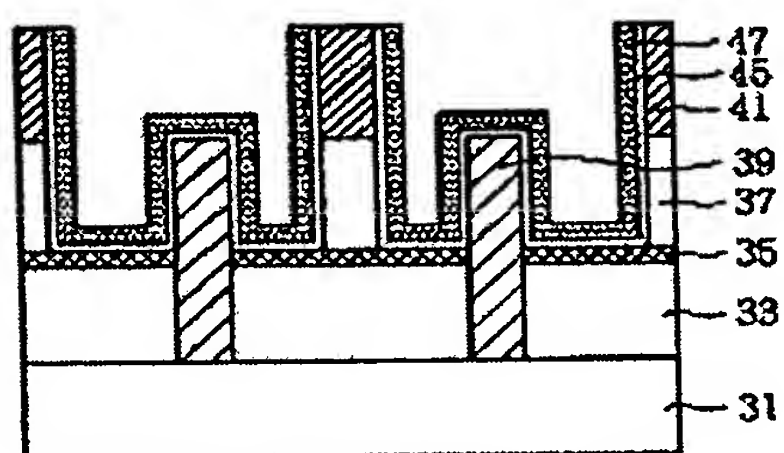
도면2



도면3



도면4



도면5

